



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10313277 A**(43) Date of publication of application: **24 . 11 . 98**

(51) Int. Cl.

**H04B 10/17**  
**H04B 10/16**  
**H03K 5/00**  
**H04B 10/00**  
**H04L 7/033**

(21) Application number: **09121277**(71) Applicant: **NEC CORP**(22) Date of filing: **12 . 05 . 97**(72) Inventor: **ASAHI KOJI**

**(54) BIT RATE AUTOMATIC IDENTIFICATION DEVICE,  
 BIT RATE SELECTION TYPE TIMING EXTRACT  
 DEVICE, BIT RATE SELECTION TYPE  
 IDENTIFICATION REGENERATING DEVICE, BIT  
 RATE SELECTION TYPE OPTICAL  
 REGENERATIVE REPEATER AND BIT RATE  
 AUTOMATIC IDENTIFICATION METHOD**

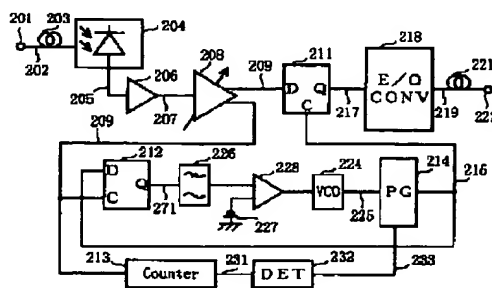
signal 215 synchronously with the electric data signal 209 and gives it to an identification circuit 211. Thus, it is not required to transmit/receive the clock signal other than the data signal.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a bit rate selection type optical regenerative repeater with an excellent transmission characteristic by selecting pluralities of bit rates so as to effectively utilize a wavelength component inexpensively.

**SOLUTION:** An optical signal 202 subject to intensity modulation by a data signal is given to a photo diode 204, where the signal is converted into an optical current 205, converted into an electric data signal 207 at a preamplifier 206 and an electric data signal 209 with a prescribed amplitude is obtained by a variable gain amplifier 208. An identification circuit 211 identifies and regenerates an electric data signal 217 by a clock signal 215 outputted from a pulse generating circuit 214 and an electrooptic conversion circuit 218 converts the signal 217 into an optical signal and it is outputted to an output terminal 222. Based on the electric data signal 209 outputted from the variable gain amplifier 208, a bit rate detector 232 detects a bit rate of an optical signal and a pulse generating circuit 214 uses the information to regenerate a clock



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-313277

(43)公開日 平成10年(1998)11月24日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 4 B 10/17

H 0 4 B 9/00

J

10/16

H 0 3 K 5/00

U

H 0 3 K 5/00

H 0 4 B 9/00

B

H 0 4 B 10/00

H 0 4 L 7/02

B

H 0 4 L 7/033

審査請求 有 請求項の数 7 O L (全 26 頁)

(21)出願番号

特願平9-121277

(22)出願日

平成9年(1997)5月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 朝日 光司

東京都港区芝五丁目7番1号 日本電気株式会社内

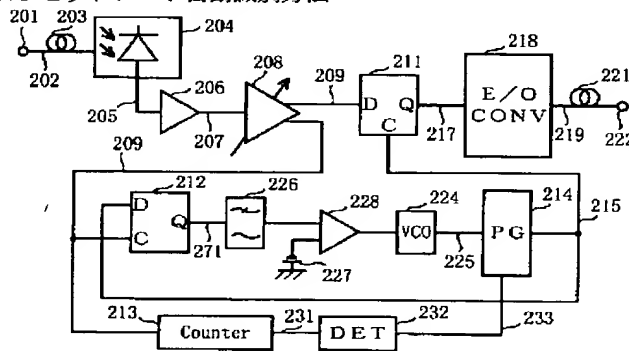
(74)代理人 弁理士 山内 梅雄

(54)【発明の名称】 ビットレート自動識別器、ビットレート選択型タイミング抽出器、ビットレート選択型識別再生器、ビットレート選択型光再生中継器およびビットレート自動識別方法

(57)【要約】

【課題】 複数のビットレートを選択できるようにし、安価で、波長成分を有効に活用し、伝送特性に優れたビットレート選択型光再生中継器を得ること。

【解決手段】 データ信号で強度変調された光信号202はフォト・ダイオード204で光電流205に変換後、プリアンプ206で電気データ信号207に変換され、可変利得アンプ208で一定の振幅の電気データ信号209が得られる。識別回路211はパルス生成回路214から出力されるクロック信号215によって電気データ信号217を識別再生し、電気・光変換回路218がこれを光信号に変換して出力端子222へ出力する。ここで可変利得アンプ208から出力される電気データ信号209を基にしてビットレート検出器232が光信号のビットレートを検出し、パルス生成回路214はこの情報を用いて電気データ信号209に同期したクロック信号215を再生して識別回路211に供給する。したがって、データ信号とは別にクロック信号を送受信する必要がない。



## 【特許請求の範囲】

【請求項 1】 データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、

この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、

この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、

前記可変利得アンプから出力される電気データ信号を入力してそのパルス数をカウントするカウンタ回路と、このカウンタ回路のカウントしたカウント値から前記光信号のビットレートを検出するビットレート検出回路とを備えたビットレート検出手段と、

前記伝送路光ファイバから受信しうる最大のビットレートと同一周波数の近傍で発振する電圧制御発振器と、前記ビットレート検出回路から出力される情報に応じて電圧制御発振器の出力を所定の分周比で分周した周波数のクロック信号を生成するパルス生成回路と、このパルス生成回路から出力されるクロック信号のレベル変化点と前記可変利得アンプから出力される電気データ信号の変化点の位相が一致するように位相同期ループ制御を行う PLL 制御部とを備え、ビットレート検出手段によって検出された情報を用いて前記可変利得アンプから出力される電気データ信号に同期したクロック信号を再生してこれを前記所定の周波数のクロック信号として前記識別回路に供給するタイミング再生手段とを具備することを特徴とするビットレート選択型光再生中継器。

【請求項 2】 データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、

この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、

この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、

前記可変利得アンプから出力される電気データ信号を入力し所定のクロック信号によりこれをラッチするフリップフロップ回路と、このフリップフロップ回路の出力信号から受信した前記光信号の 1 ビット分の時間を検出し

て得られた情報をこの前記光信号のビットレートの検出結果とするビットレート検出回路とを備えたビットレート検出手段と、

前記伝送路光ファイバから受信しうる最大のビットレートと同一周波数の近傍で発振する電圧制御発振器と、前記ビットレート検出回路から出力される情報に応じて電圧制御発振器の出力を所定の分周比で分周した周波数のクロック信号を生成するパルス生成回路と、このパルス生成回路から出力されるクロック信号のレベル変化点と前記可変利得アンプから出力される電気データ信号の変化点の位相が一致するように位相同期ループ制御を行う PLL 制御部とを備え、電圧制御発振器の出力を前記所定のクロック信号として前記フリップフロップ回路およびビットレート検出回路に供給し、これによってビットレート検出手段によって検出された情報を用いて前記可変利得アンプから出力される電気データ信号に同期したクロック信号を再生してこれを前記所定の周波数のクロック信号として前記識別回路に供給するタイミング再生手段とを具備することを特徴とするビットレート選択型光再生中継器。

【請求項 3】 データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、

この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、

この識別回路によって再生されたデータ信号を入力して、受信したデータ信号内に予め挿入されているフレーム同期用ビットを検出してフレーム同期を行い、受信したデータ信号がフレーム同期状態にあるか否かを示す情報を出力するフレーム同期回路と、

このフレーム同期回路を経たデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、

前記フレーム同期回路から出力されるフレーム同期状態にあるか否かを示す前記情報を基にして、フレーム同期状態にあればクロック信号の周波数をそのまま保持し、フレーム同期状態にない場合にはこのクロック信号の周波数を他の周波数に順次切り替えることを指示する指示情報を出力する制御回路を備えたビットレート検出手段と、

前記伝送路光ファイバから受信しうる最大のビットレートと同一周波数の近傍で発振する電圧制御発振器と、この電圧制御発振器の出力する所定の周波数のクロック信号を入力して前記指示情報の指示に応じて出力側のクロック信号の周波数を選択し、この選択したクロック信号

を前記所定の周波数のクロック信号として前記識別回路に供給するパルス生成回路とを有するタイミング再生手段とを具備することを特徴とするビットレート選択型光再生中継器。

【請求項4】 データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するブリアンプと、

このブリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、

この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、

この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、

前記可変利得アンプから出力される電気データ信号を入力してそのパルス数をカウントするカウンタ回路と、このカウンタ回路のカウントしたカウント値から前記光信号のビットレートを検出するビットレート検出回路とを備えたビットレート検出手段と、

前記可変利得アンプから出力される電気データ信号の変化点の検出を行う微分回路と、この微分回路から出力される信号を用いてタイミング輝線スペクトラム成分を生成する整流回路と、前記タイミング輝線スペクトラム成分から受信しうる最大のビットレートと同一の周波数成分を抽出するタイミング抽出フィルタと、このタイミング抽出フィルタによって抽出された周波数成分を所望の振幅まで増幅するリミッタ増幅回路と、前記ビットレート検出回路からの情報に応じてリミッタ増幅回路の出力するクロック信号を分周したクロック信号を生成してこれを前記所定の周波数のクロック信号として前記識別回路に供給するパルス生成回路とを有するタイミング再生手段とを具備することを特徴とするビットレート選択型光再生中継器。

【請求項5】 データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するブリアンプと、

このブリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、

この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、

この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、

前記可変利得アンプから出力される電気データ信号を入

力し所定のクロック信号によりこれをラッチするフリップフロップ回路と、このフリップフロップ回路の出力信号から受信した前記光信号の1ビット分の時間を検出して得られた情報をこの前記光信号のビットレートの検出結果とするビットレート検出回路とを備えたビットレート検出手段と、

前記可変利得アンプから出力される電気データ信号の変化点の検出を行う微分回路と、この微分回路から出力される信号を用いてタイミング輝線スペクトラム成分を生成する整流回路と、前記タイミング輝線スペクトラム成分から受信しうる最大のビットレートと同一の周波数成分を抽出するタイミング抽出フィルタと、このタイミング抽出フィルタによって抽出された周波数成分を所望の振幅まで増幅すると共にその増幅後のクロック信号を前記所定のクロック信号として前記フリップフロップ回路および前記ビットレート検出回路に供給するリミッタ増幅回路と、前記ビットレート検出回路からの情報に応じてリミッタ増幅回路の出力する前記所定のクロック信号を分周したクロック信号を生成してこれを前記所定の周波数のクロック信号として前記識別回路に供給するパルス生成回路とを有するタイミング再生手段とを具備することを特徴とするビットレート選択型光再生中継器。

【請求項6】 データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するブリアンプと、

このブリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、

この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、

この識別回路によって再生されたデータ信号を入力して、受信したデータ信号内に予め挿入されているフレーム同期用ビットを検出してフレーム同期を行い、受信したデータ信号がフレーム同期状態にあるか否かを示す情報を出力するフレーム同期回路と、

このフレーム同期回路を経たデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、

前記フレーム同期回路から出力されるフレーム同期状態にあるか否かを示す前記情報を基にして、フレーム同期状態にあればクロック信号の周波数をそのまま保持し、フレーム同期状態にない場合にはこのクロック信号の周波数を他の周波数に順次切り替えることを指示する指示情報を出力する制御回路を備えたビットレート検出手段と、

前記可変利得アンプから出力される電気データ信号の変化点の検出を行う微分回路と、この微分回路から出力される信号を用いてタイミング輝線スペクトラム成分を生

成する整流回路と、前記タイミング輝線スペクトラム成分から受信しうる最大のビットレートと同一の周波数成分を抽出するタイミング抽出フィルタと、このタイミング抽出フィルタによって抽出された周波数成分を所望の振幅まで増幅するリミッタ増幅回路と、このリミッタ増幅回路の出力するクロック信号を入力し前記指示情報の指示に応じて出力側のクロック信号の周波数を選択し、この選択したクロック信号を前記所定の周波数のクロック信号として前記識別回路および前記フレーム同期回路に供給するパルス生成回路とを有するタイミング再生手段とを具備することを特徴とするビットレート選択型光再生中継器。

【請求項7】 データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、前記可変利得アンプから出力される電気データ信号を入力して、受信しうるビットレートと同一周波数である複数通りの周波数成分をそれぞれ抽出するようにそれぞれチューニングされた前記複数通りのタイミング抽出回路と、前記複数通りのタイミング抽出回路からそれぞれ抽出されたクロック信号のピーク値を検出するピーク検出回路と、これらピーク検出回路の出力するクロック信号のピーク値が最大となる周波数を検出する周波数検出手段と、前記複数通りのタイミング抽出回路からそれぞれ得られたクロック信号を入力して周波数検出手段によって検出された周波数のクロック信号を選択する選択回路とを備え、選択回路の選択したクロック信号を前記所定の周波数のクロック信号として前記識別回路に供給するビットレート検出・タイミング再生手段とを具備することを特徴とするビットレート選択型光再生中継器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば光基幹伝送システムに有用な中継器に係わり、特に、伝送速度すなわちビットレートを選択して光信号の中継伝送を行うようにしたビットレート選択型光再生中継器に関する。

【0002】

【従来の技術】 従来、光信号の中継伝送のための中継器としては、ビットレート無依存型の光再生中継器が使用されていた。

【0003】 図14は、従来のこのような光再生中継器の第1の例を示したものである。特開平6-120936号公報に開示されたこの光再生中継器は、図示しない伝送路光ファイバから高速データ信号で強度変調された高速光信号101を受信するための第1の光受信器102を備えている。第1の光受信器102から出力される高速データ103は、識別再生手段104に入力される。一方、第2の光受信器105の方には、 $n$ 分周クロック光信号106が入力されるようになっている。この $n$ 分周クロック光信号106は、前記した高速データ信号に同期した主クロック信号を $n$ 分周クロック信号で強度変調した光信号であり、前記した伝送路光ファイバから受信したものである。第2の光受信器105からは $n$ 分周クロック信号107が出力され、PLL (Phase Locked Loop) 手段108に入力されることになる。

【0004】 PLL手段108は、内部に電圧制御発振器 (VCO) を有しており、この電圧制御発振器の生成するクロック信号の信号位相を、第2の光受信器105から出力される $n$ 分周クロック信号107に同期させた抽出クロック信号109を識別再生手段104に供給するようになっている。

【0005】 識別再生手段104は、抽出クロック信号109を使用して第1の光受信器102から出力される高速データ103を識別再生し、再生データ111を第1の光送信器112に出力する。第1の光送信器112は、この再生データ111を光信号に変換し、高速光信号113として図示しない伝送路光ファイバに送出する。また、第2の光受信器105で受信された $n$ 分周クロック光信号106は、低速側の第2の光受信器115で光信号117に変換され、同じく伝送路光ファイバに送出されることになる。

【0006】 図14に示したこの従来技術では、光伝送路に高速光信号と、この高速光信号に同期する主クロック信号を $n$ 分周した $n$ 分周クロック信号とを送出している。そして、中継局でその $n$ 分周した分周クロック信号を基準として、内部のVCO等の回路で発生するクロック信号 (主クロック信号と同じシステムの信号) の位相をPLL制御して、主クロック信号と同じシステムで $n$ 分周クロック信号に同期した抽出クロック信号を得ている。そして、その抽出クロック信号を基準として高速データの識別再生を行っている。これによって、伝送路光ファイバを伝送する光信号のビットレートに依存しない光信号の再生中継が行われるようになっている。

【0007】 図15は、従来の光再生中継器の第2の例を示したものである。この光再生中継器では、光信号入力端子121に、データ信号で強度変調された光信号122を入力するようになっている。光ファイバ123を伝送された光信号122は、フォト・ダイオード124に入射し、光電流125に変換される。そして、プリアンプ126で増幅されて電気データ信号127に変換さ

れる。電気データ信号 127 は、可変利得アンプ 128 に入力される。可変利得アンプ 128 は、入力された電気データ信号 127 が予め設定された一定の振幅になるようにこれを増幅する。増幅後の電気データ信号 129 はリミッタアンプ 131 に入力される。リミッタアンプ 131 は、電気データ信号 129 をリミッタ増幅することによって、波形を矩形波に整形する。

【0008】整形後の電気データ信号 132 は電気・光変換回路 (E/O CONV) 133 に入力される。電気・光変換回路 133 は、波形整形された電気データ信号 132 を光信号 134 に変換し、光ファイバ 135 を介して出力端子 136 へ出力する。

【0009】この図 15 に示す従来の光再生中継器では、受信した光信号からタイミングの再生を行うことなく、データ手段の波形を整形し、再びこれを光信号として出力するようにしている。したがって、この光再生中継器を構成する回路の帯域内であれば、伝送路光ファイバを伝送する光信号のビットレートに依存しない光信号の再生中継が可能になることになった。

#### 【0010】

【発明が解決しようとする課題】従来のこのようなビットレート無依存型の光再生中継器のうち図 14 に示した光再生中継器は高価であり、信頼性も低いという問題があった。これは、この光再生中継器ではデータ信号と別にクロック信号を伝送するために、光送受信回路が 2 倍必要であったからである。また、データ信号とクロック信号を同一の光ファイバ伝送路を介して伝送するようにした場合には、波長分割多重 (WMD) を行う必要があった。このため、この光再生中継器を WMD 伝送系へと拡張する場合には、光波長帯域を有効に使用することができないという問題もあった。

【0011】また、図 15 に示した従来の光再生中継器では、受信した光信号からタイミングクロック信号を再生することなく波形整形を行いそのまま光信号に変換して出力するようにしている。このため、本来の光信号の他に雑音も同時に再生中継を行うことになり、信号波形、特にデジタル信号のデューティ比等が劣化することになり、伝送特性に悪影響を及ぼすという問題があった。

【0012】そこで本発明の目的は、複数のビットレートを選択できるようにし、安価で、波長成分を有効に活用し、伝送特性に優れたビットレート選択型光再生中継器を提供することにある。

#### 【0013】

【課題を解決するための手段】請求項 1 記載の発明では、(イ) データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、(ロ) この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、(ハ) このプリアンプから出力される電

気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、(ニ) この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、(ホ) この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、

(ヘ) 可変利得アンプから出力される電気データ信号を入力してそのパルス数をカウントするカウンタ回路と、このカウンタ回路のカウントしたカウント値から光信号のビットレートを検出するビットレート検出回路とを備えたビットレート検出手段と、(ト) 伝送路光ファイバから受信しうる最大のビットレートと同一周波数の近傍で発振する電圧制御発振器と、ビットレート検出回路から出力される情報に応じて電圧制御発振器の出力を所定の分周比で分周した周波数のクロック信号を生成するパルス生成回路と、このパルス生成回路から出力されるクロック信号のレベル変化点と可変利得アンプから出力される電気データ信号の変化点の位相が一致するように位相同期ループ制御を行う PLL 制御部とを備え、ビットレート検出手段によって検出された情報を用いて可変利得アンプから出力される電気データ信号に同期したクロック信号を再生してこれを前記した所定の周波数のクロック信号として識別回路に供給するタイミング再生手段とをビットレート選択型光再生中継器に具備させる。

【0014】請求項 2 記載の発明では、(イ) データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

(ロ) この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

(ハ) このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、(ニ) この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、(ホ) この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、(ヘ) 可変利得アンプから出力される電気データ信号を入力し所定のクロック信号によりこれをラッチするフリップフロップ回路と、このフリップフロップ回路の出力信号から受信した光信号の 1 ビット分の時間を検出して得られた情報をこの光信号のビットレートの検出結果とするビットレート検出回路とを備えたビットレート検出手段と、(ト) 伝送路光ファイバから受信しうる最大のビットレートと同一周波数の近傍で発振する電圧制御発振器と、ビットレート検出回路から出力される情報に応じて電圧制御発振器の出力を所定の分周比で分周した周波数のクロック信号を生成するパルス生成回路と、このパルス生成回路から出力されるクロック信号のレベル変化点と可変利得アンプから出力される電気データ信号の変化点の位相が一致するように位相同期ループ制御を行う PLL 制御部と

を備え、電圧制御発振器の出力を前記した所定のクロック信号としてフリップフロップ回路およびビットレート検出回路に供給し、これによってビットレート検出手段によって検出された情報を用いて可変利得アンプから出力される電気データ信号に同期したクロック信号を再生してこれを前記した所定の周波数のクロック信号として識別回路に供給するタイミング再生手段とをビットレート選択型光再生中継器に具備させる。

【0015】請求項3記載の発明では、(イ)データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

(ロ)この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

(ハ)このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、(ニ)この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、(ホ)この識別回路によって再生されたデータ信号を入力して、受信したデータ信号内に予め挿入されているフレーム同期用ビットを検出してフレーム同期を行い、受信したデータ信号がフレーム同期状態にあるか否かを示す情報を出力するフレーム同期回路と、

(ヘ)このフレーム同期回路を経たデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、(ト)フレーム同期回路から出力されるフレーム同期状態にあるか否かを示す情報を基にして、フレーム同期状態にあればクロック信号の周波数をそのまま保持し、フレーム同期状態にない場合にはこのクロック信号の周波数を他の周波数に順次切り替えることを指示する指示情報を出力する制御回路を備えたビットレート検出手段と、(チ)伝送路光ファイバから受信しうる最大のビットレートと同一周波数の近傍で発振する電圧制御発振器と、この電圧制御発振器の出力する所定の周波数のクロック信号を入力して指示情報の指示に応じて出力側のクロック信号の周波数を選択し、この選択したクロック信号を前記した所定の周波数のクロック信号として識別回路に供給するパルス生成回路とを有するタイミング再生手段とをビットレート選択型光再生中継器に具備させる。

【0016】請求項4記載の発明では、(イ)データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

(ロ)この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

(ハ)このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、(ニ)この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、(ホ)この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信

号に変換する電気-光変換手段と、(ヘ)可変利得アンプから出力される電気データ信号を入力してそのパルス数をカウントするカウンタ回路と、このカウンタ回路のカウントしたカウント値から光信号のビットレートを検出するビットレート検出回路とを備えたビットレート検出手段と、(ト)可変利得アンプから出力される電気データ信号の変化点の検出を行う微分回路と、この微分回路から出力される信号を用いてタイミング輝線スペクトラム成分を生成する整流回路と、タイミング輝線スペクトラム成分から受信しうる最大のビットレートと同一の周波数成分を抽出するタイミング抽出フィルタと、このタイミング抽出フィルタによって抽出された周波数成分を所望の振幅まで増幅するリミッタ増幅回路と、ビットレート検出回路からの情報に応じてリミッタ増幅回路の出力するクロック信号を分周したクロック信号を生成してこれを前記した所定の周波数のクロック信号として識別回路に供給するパルス生成回路とを有するタイミング再生手段とをビットレート選択型光再生中継器に具備させる。

【0017】請求項5記載の発明では、(イ)データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

(ロ)この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

(ハ)このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、(ニ)この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、(ホ)この識別回路によって再生されたデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、(ヘ)可変利得アンプから出力される電気データ信号を入力し所定のクロック信号によりこれをラッチするフリップフロップ回路と、このフリップフロップ回路の出力信号から受信した光信号の1ビット分の時間を検出して得られた情報をこの光信号のビットレートの検出結果とするビットレート検出回路とを備えたビットレート検出手段と、(ト)可変利得アンプから出力される電気データ信号の変化点の検出を行う微分回路と、この微分回路から出力される信号を用いてタイミング輝線スペクトラム成分を生成する整流回路と、タイミング輝線スペクトラム成分から受信しうる最大のビットレートと同一の周波数成分を抽出するタイミング抽出フィルタと、このタイミング抽出フィルタによって抽出された周波数成分を所望の振幅まで増幅すると共にその増幅後のクロック信号を前記した所定のクロック信号としてフリップフロップ回路およびビットレート検出回路に供給するリミッタ増幅回路と、ビットレート検出回路からの情報に応じてリミッタ増幅回路の出力する前記した所定のクロック信号を分周したクロック信号を生成してこれを前記した所定の周波数のクロ

ック信号として識別回路に供給するパルス生成回路とを有するタイミング再生手段とをビットレート選択型光再生中継器に具備させる。

【0018】請求項6記載の発明では、(イ)データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

(ロ)この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

(ハ)このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、(ニ)この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、(ホ)この識別回路によって再生されたデータ信号を入力して、受信したデータ信号内に予め挿入されているフレーム同期用ビットを検出してフレーム同期を行い、受信したデータ信号がフレーム同期状態にあるか否かを示す情報を出力するフレーム同期回路と、

(ヘ)このフレーム同期回路を経たデータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、(ト)フレーム同期回路から出力されるフレーム同期状態にあるか否かを示す前記した情報を基にして、フレーム同期状態にあればクロック信号の周波数をそのまま保持し、フレーム同期状態にない場合にはこのクロック信号の周波数を他の周波数に順次切り替えることを指示する指示情報を出力する制御回路を備えたビットレート検出手段と、(チ)可変利得アンプから出力される電気データ信号の変化点の検出を行う微分回路と、この微分回路から出力される信号を用いてタイミング輝線スペクトラム成分を生成する整流回路と、タイミング輝線スペクトラム成分から受信しうる最大のビットレートと同一の周波数成分を抽出するタイミング抽出フィルタと、このタイミング抽出フィルタによって抽出された周波数成分を所望の振幅まで増幅するリミッタ増幅回路と、このリミッタ増幅回路の出力するクロック信号を入力し指示情報の指示に応じて出力側のクロック信号の周波数を選択し、この選択したクロック信号を前記した所定の周波数のクロック信号として識別回路およびフレーム同期回路に供給するパルス生成回路とを有するタイミング再生手段とをビットレート選択型光再生中継器に具備させる。

【0019】請求項7記載の発明では、(イ)データ信号で強度変調された光信号を伝送路光ファイバから受信しこれを光電流信号に変換する光-電気変換手段と、

(ロ)この光-電気変換手段によって変換された後の光電流信号を電気データ信号に変換するプリアンプと、

(ハ)このプリアンプから出力される電気データ信号が予め定めた所定の振幅となるように増幅する可変利得アンプと、(ニ)この可変利得アンプから出力される信号を所定の周波数のクロック信号を使用して識別再生する識別回路と、(ホ)この識別回路によって再生されたデ

ータ信号を再び伝送路光ファイバに出力するための光信号に変換する電気-光変換手段と、(ヘ)可変利得アンプから出力される電気データ信号を入力して、受信しうるビットレートと同一周波数である複数通りの周波数成分をそれぞれ抽出するようにそれぞれチューニングされた前記した複数通りのタイミング抽出回路と、前記した複数通りのタイミング抽出回路からそれぞれ抽出されたクロック信号のピーク値を検出するピーク検出回路と、これらピーク検出回路の出力するクロック信号のピーク値が最大となる周波数を検出する周波数検出手段と、前記した複数通りのタイミング抽出回路からそれぞれ得られたクロック信号を入力して周波数検出手段によって検出された周波数のクロック信号を選択する選択回路とを備え、選択回路の選択したクロック信号を前記した所定の周波数のクロック信号として識別回路に供給するビットレート検出・タイミング再生手段とをビットレート選択型光再生中継器に具備させる。

【0020】すなわち請求項1～請求項7記載の発明では、伝送路光ファイバから入力される光信号のビットレートを検出し、この検出結果に応じて光再生中継器内で再生するクロック信号の周波数の切り替えを行うようにしている。

【0021】

【発明の実施の形態】

【0022】

【実施例】以下実施例につき本発明を詳細に説明する。

【0023】第1の実施例

【0024】図1は本発明の第1の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この光再生中継器の光信号入力端子201には、データ信号で強度変調された光信号202が入力されるようになっている。光ファイバ203を伝送された光信号202は、フォト・ダイオード204に入射し、光電流205に変換される。そして、プリアンプ206で増幅されて電気データ信号207に変換される。電気データ信号207は、可変利得アンプ208に入力される。可変利得アンプ208は、入力された電気データ信号207が予め設定された一定の振幅になるようにこれを増幅する。増幅後の電気データ信号209は識別回路211と位相比較器212およびパルスカウンタ(Counter)213のそれぞれに入力される。

【0025】このうち、識別回路211は電気データ信号209を入力端子Dに入力し、パルス生成回路(PG)214から出力されるクロック信号215をクロック端子Cに入力して、その出力端子Qから電気データ信号217を識別再生する。データ信号217は電気・光変換回路(E/O CONV)218に入力される。電気・光変換回路218は、識別再生された電気データ信号217を光信号219に変換し、光ファイバ221を介してこれを出力端子222に出力するようになっている。



る。

【0026】ところで、パルス生成回路214は電圧制御発振器(VCO)224からその出力クロック225の供給を受けて、そのM分の1(ただしMは自然数)の周波数のクロック信号215を生成する回路である。電圧制御発振器224は、本実施例の光再生中継器が受信しうる最大のビットレートと同じ周波数付近で発振し、これを基にしてパルス生成回路214は前記したクロック信号215を生成することになる。この電圧制御発振器224は、位相比較器212、低域通過フィルタ226、基準電圧227を一端に供給される演算増幅器228およびパルス生成回路214と共にPLL回路を構成している。パルス生成回路214には、パルスカウンタ213の1秒間の計数値231を入力してビットレートを検出するビットレート検出器(DET)232の識別結果233が入力され、ビットレートに応じた周波数のクロック信号215が生成されることになる。

【0027】図2は、本実施例のパルス生成回路の第1の具体例を示したものである。電圧制御発振器224から周波数 $f_1$ の出力クロック225を供給されるパルス生成回路214<sub>1</sub>は、この出力クロック225を増幅する増幅器241と、増幅後の出力クロック243を2分の1からM分の1まで別々に分周する分周回路242<sub>2</sub>~242<sub>M</sub>と、増幅後の周波数 $f_1$ の出力クロック243と各分周回路242<sub>2</sub>~242<sub>M</sub>の出力クロック245<sub>2</sub>~245<sub>M</sub>を並列的に入力するn:1選択回路(n:1SEL)246とによって構成されている。n:1選択回路246には、出力クロック243、245<sub>2</sub>~245<sub>M</sub>の合計n通りの中から1つを選択するための制御信号247が入力されるようになっており、この選択の結果としてビットレートに応じた周波数のクロック信号215が出力されるようになっている。

【0028】図3は、本実施例のパルス生成回路の第2の具体例を示したものである。電圧制御発振器224から周波数 $f_1$ の出力クロック225を供給されるパルス生成回路214<sub>2</sub>は、この出力クロック225を増幅する増幅器261と、増幅後の出力クロック262を制御信号263に応じて1分の1からM分の1まで任意の比で分周する分周回路264とによって構成されている。分周回路264からは、ビットレートに応じた周波数のクロック信号215が出力されることになる。

【0029】図1に戻って説明を続ける。パルス生成回路214から出力されるクロック信号215は、位相比較器212の入力端子Dに入力され、可変利得アンプ208から出力されて比較端子Cに入力された電気データ信号209と位相比較が行われる。位相比較器212の出力端子Qから出力される位相差信号271は低域通過フィルタ226、演算増幅器228等から構成されるPLL回路によって、パルス生成回路214の出力信号のレベルの変化点と可変利得アンプ208の出力データの

変化点の位相が一致するような制御が行われる。

【0030】図4は、位相比較器の動作を説明するためのものである。同図(a)は、図1に示したパルス生成回路214から出力されるクロック信号215の波形を表わしたものである。また、同図(b)は図1に示した可変利得アンプ208から出力される電気データ信号209の波形を表わしたものである。図1に示した位相比較器212は、クロック信号215を電気データ信号209でラッチする。このラッチした信号の平均値を低域通過フィルタ226(図1)によって抽出すると、図4(a)、(b)に示す2つの入力波形の位相差 $\phi$ に対して、図5に示すような位相検出特性が得られる。

【0031】図1に示すパルスカウンタ213は、可変利得アンプ208から出力される電気データ信号209のパルス数を計数する。このパルス数の1秒間の計数値231を用いて、ビットレート検出器232はこの光再生中継器に入力された光信号202のビットレートを識別する。そして、その識別結果233がパルス生成回路214に入力されて、その分周比が設定されることになる。

【0032】図6および図7は、ビットレートの識別の原理を説明するためのものである。このうち、図6は図1に示したパルスカウンタ213に各種のビットレートの電気データ信号209が入力される場合を示している。SDH(Synchronous Digital Hierarchy)や、SONET(Synchronous Optical Network)において、標準の伝送速度として適用されている10Gb/s(ギガビット/秒)、2.4Gb/sおよび600Mb/s(メガビット/秒)の3種類のビットレートを例にして説明を行う。

【0033】図7は、これら3種類のビットレートにおけるパルスカウンタの1秒間のパルス計数結果を縦軸に、入力した電気データ信号のマーク率を横軸に示したものである。図6に示すパルスカウンタ213は、入力した電気データ信号209のパルスを、1秒間計測した結果を、1秒間の計数値231としてビットレート検出器232に送出している。図7には、10Gb/s、2.4Gb/sおよび600Mb/sのそれぞれに対して、マーク率が1/4~3/4でPN疑似ランダムパターンの場合のパルス計数値も示してある。

【0034】この図7から分かるように、マーク率が1/4~3/4の範囲内でランダム性をもった電気データ信号209については、1秒間のパルス計数結果としての計数値231がビットレートに十分比例している。このため、図7に示すように閾値Aおよび閾値Bをビットレート検出器232に設定することで、ビットレートを識別することが可能である。特に、前記したSDHや、SONETの光信号インターフェースでは、データ信号に対してPN7段相当の疑似ランダムパターンでスクランブラをかけるため、本実施例のようなビットレート識

別回路が有効であることがわかる。

【0035】以上説明したように、第1の実施例では、入力された光信号のビットレートを識別して、これに同期したクロックを再生して、識別再生を行うようになっている。

#### 【0036】第2の実施例

【0037】図8は、本発明の第2の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第2の実施例の光再生中継器では、電気データ信号209がDフリップフロップ回路301の入力端子Dに供給され、その出力端子Qから出力されるラッチ出力302が1ビット長検出回路303に供給されて、受信した光信号の1ビット長の検出を行う。電圧制御発振器224から出力される出力クロック225がDフリップフロップ回路301のクロック端子Cと1ビット長検出回路303に供給される。1ビット長検出回路303の検出出力304はパルス生成回路214に入力されて、その分周比が設定されるようになっている。

【0038】この第2の実施例の光再生中継器の動作を次に説明する。可変利得アンプ208から出力される電気データ信号209は、この実施例の光再生中継器が受信しうる最大のビットレートと同じ周波数付近で発振する電圧制御発振器224から出力される出力クロック225によってDフリップフロップ回路301でラッチされる。1ビット長検出回路303は、Dフリップフロップ回路301から入力されるラッチ出力302によって電気データ信号の同符号連続数を検出し、入力される電気データ信号のビットレートに対して十分長い時間内で最小の同符号連続数を受信した電気データ信号の1ビット長であると判断する。ここで十分長い時間内とは、例えば、10Gb/sに対して1秒間というような時間をいう。

【0039】一例としては、電圧制御発振器224の発振周波数が10GHzで、受信するビットレートが10Gb/s、2.4Gb/sおよび600Mb/sであるとする。この場合には、受信するビットレートが10Gb/sで最小同符号連続数が“1”、受信するビットレートが2.4Gb/sの場合には最小同符号連続数が“4”、受信するビットレートが600Mb/sの場合には最小同符号連続数が“16”となり、この結果を基にしてビットレートの検出が行われる。

#### 【0040】第3の実施例

【0041】図9は、本発明の第3の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第3の実施例の光再生中継器では、識別回路211の出力端子Qから出力される電気データ信号217をフ

レーム同期回路(FRAME)401に入力し、フレーム同期用ビットを検出してフレーム同期をとるようにしている。フレーム同期回路401の出力402を電気・光変換回路218に供給される。また、受信した電気データ信号217がフレーム同期状態であるか否かを示した情報404は制御回路405に入力されるようになっている。制御回路405はこれにより分周比を保持するか他に変更するかを示す分周比指示情報406をパルス生成回路214に供給して、分周比の設定を行わせる。このため、この光再生中継器では図1に示したパルスカウンタ213およびビットレート検出器232が設けられていない。

【0042】この第3の実施例の光再生中継器の動作を次に説明する。本実施例では、光信号入力端子201に入力される光信号202に、送信側で予めフレーム同期用ビットが挿入されていることを前提としている。フレーム同期回路401は、識別回路211から出力される電気データ信号217に含まれるフレーム同期用ビットを検出してフレーム同期を行い、また受信した電気データ信号217がフレーム同期状態にあるか否かの判断を行う。制御回路405は、このフレーム同期状態であるか否かを示した情報404を入力し、フレーム同期状態であれば分周比指示情報406として分周比(出力クロックの周波数)をそのまま保持することを指示する情報をパルス生成回路214に供給する。また、フレーム同期が外れていれば、分周比指示情報406として分周比を順次切り替えるように指示する情報をパルス生成回路214に供給することで、パルス生成回路214から出力されるクロック信号215の周波数が切り替えられる。すなわち、受信した光信号202のビットレートと、光再生中継器の内部で再生したクロック信号の周波数が一致した場合にフレーム同期状態となり、正常なクロック再生が行われることになる。

#### 【0043】第4の実施例

【0044】図10は、本発明の第4の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第4の実施例の光再生中継器では、可変利得アンプ208から出力される電気データ信号209をパルスカウンタ213に入力すると共に微分回路501に入力するようになっている。微分回路501の出力側には、整流回路502、タイミング抽出フィルタ503、リミッタアンプ504およびパルス生成回路505がこの順に配置されており、パルス生成回路505にはビットレート検出器232から識別結果233が入力されて、その分周比が設定される。パルス生成回路505の出力するクロック信号215は識別回路211に供給されるようになっている。

【0045】この第4の実施例の光再生中継器の動作を

次に説明する。この実施例では、図 1 に示した第 1 の実施例におけるタイミング再生手段が非線形抽出によるものとなっている。すなわち、図 10 に示した第 4 の実施例では、可変利得アンプ 208 から出力される電気データ信号 209 を微分回路 501 および整流回路 502 に入力することで、タイミング輝線スペクトラム成分を生成する。タイミング抽出フィルタ 503 は、この輝線スペクトラム成分を入力して、光再生中継器が受信しうる最大のビットレートと同じ周波数成分を抽出する。

【0046】パルス生成回路 505 は、図 2 あるいは図 3 に示したパルス生成回路 214<sub>1</sub> あるいは 214<sub>2</sub> と同様の構成をとることができる。パルス生成回路 505 は、タイミング抽出フィルタ 503 が抽出する周波数の自然数分の 1 の周波数からなるクロック信号 215 を、ビットレート検出器 232 から供給される識別結果 233 に応じて選択的に出力するようになっている。

#### 【0047】第 5 の実施例

【0048】図 11 は、本発明の第 5 の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第 1 の実施例の図 1 と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第 5 の実施例の光再生中継器では、第 4 の実施例で図 10 に示した微分回路 501、整流回路 502、タイミング抽出フィルタ 503、リミッタアンプ 504 およびパルス生成回路 505 からなる回路部分を可変利得アンプ 208 の出力側と識別回路 211 のクロック端子 C との間に配置している。また、第 2 の実施例で図 8 に示した D-フリップフロップ回路 301 と 1 ビット長検出回路 303 からなる回路部分を可変利得アンプ 208 の出力側とパルス生成回路 505 の検出出力 304 の入力側に配置している。

【0049】この第 5 の実施例では、図 1 に示した第 1 の実施例におけるビットレートの検出手段が、受信した光信号の 1 ビット長を検出するようになっている。また、タイミング再生手段が非線形抽出によるものである。

【0050】図 11 で、D-フリップフロップ回路 301 は、可変利得アンプ 208 からのデータ信号を入力し、本実施例の光再生中継器が受信しうる最大のビットレートと同一の周波数であるリミッタアンプの出力クロックでラッチする。1 ビット長検出回路 303 では、ト D-フリップフロップ回路 301 からのラッチ出力 302 によって電気データ信号の同符号連続数を検出し、入力される電気データ信号のビットレートに対して十分長い時間内で、最小の同符号連続数を受信したデータ信号の 1 ビット長であると判断する。ここで十分長い時間内とは、例えば 10 Gb/s に対して 1 秒間のような時間を用いる。

【0051】一例としては、電圧制御発振器 224 の発振周波数が 10 GHz で、受信するビットレートが 10

Gb/s、2.4 Gb/s および 600 Mb/s であるとする。この場合には、受信するビットレートが 10 Gb/s で最小同符号連続数が“1”、受信するビットレートが 2.4 Gb/s の場合には最小同符号連続数が“4”、受信するビットレートが 600 Mb/s の場合には最小同符号連続数が“16”となり、この結果を基にしてビットレートの検出が行われる。

【0052】また、微分回路 501 および整流回路 502 では、可変利得アンプ 208 からの電気データ信号 209 を入力して、タイミング輝線スペクトラム成分を生成している。タイミング抽出フィルタ 503 は、このタイミング輝線スペクトラム成分を入力して、光再生中継器が受信しうる最大のビットレートと同一の周波数成分を抽出する。パルス生成回路 505 は、図 2 あるいは図 3 に示したパルス生成回路 214<sub>1</sub> あるいは 214<sub>2</sub> と同様の構成をとることができる。パルス生成回路 505 は、タイミング抽出フィルタ 503 が抽出する周波数の自然数分の 1 の周波数からなるクロック信号 215 を、ビットレート検出器 232 から供給される識別結果 233 に応じて選択的に出力するようになっている。

#### 【0053】第 6 の実施例

【0054】図 12 は、本発明の第 6 の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第 1 の実施例の図 1 と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第 6 の実施例の光再生中継器では、第 4 の実施例で図 10 に示した微分回路 501、整流回路 502、タイミング抽出フィルタ 503、リミッタアンプ 504 およびパルス生成回路 505 からなる回路部分を可変利得アンプ 208 の出力側と識別回路 211 のクロック端子 C との間に配置している。また、第 3 の実施例で図 9 に示したように識別回路 211 の出力端子 Q と電気・光変換回路 218 の間にフレーム同期回路 401 を配置しており、フレーム同期用ビットを検出してフレーム同期をとるようにしている。フレーム同期回路 401 から出力されるフレーム同期状態であるか否かを示した情報 404 は制御回路 405 に入力され、分周比を保持するか他に変更するかを示す分周比指示情報 406 がパルス生成回路 505 に入力されるようになっている。

【0055】本実施例の光再生中継器は、図 1 に示した第 1 の実施例におけるビットレートの検出手段が検出のためにフレーム同期回路 401 を使用するものであり、タイミング再生手段が非線形抽出によるものとなっている。

【0056】図 12 に示す光再生中継器に入力される光信号 202 中には、送信側で予めフレーム同期用ビットが挿入されている。フレーム同期回路 401 は、識別回路 211 から出力される電気データ信号 217 からフレーム同期用ビットを検出して、フレーム同期を行う。また、受信した電気データ信号 217 がフレーム同期状態

であるかどうかの判別を行う。制御回路 405 はこのフレーム同期状態であるか否かを示した情報 404 を入力して、フレーム同期状態であればパルス生成回路 505 に対してフレーム同期状態であれば分周比指示情報 406 として分周比（出力クロックの周波数）をそのまま保持することを指示する情報をパルス生成回路 505 に供給する。また、フレーム同期が外れていれば、分周比指示情報 406 として分周比を順次切り替えるように指示する情報をパルス生成回路 214 に供給することで、パルス生成回路 505 から出力されるクロック信号 215 の周波数が切り替えられる。すなわち、受信した光信号 202 のビットレートと、光再生中継器の内部で再生したクロック信号の周波数が一致した場合にフレーム同期状態となり、正常なクロック再生が行われることになる。

【0057】また、微分回路 501 および整流回路 502 では、可変利得アンプ 208 からの電気データ信号 209 を入力して、タイミング輝線スペクトラム成分を生成している。タイミング抽出フィルタ 503 は、このタイミング輝線スペクトラム成分を入力して、光再生中継器が受信しうる最大のビットレートと同一の周波数成分を抽出する。パルス生成回路 505 は、図 2 あるいは図 3 に示したパルス生成回路 214<sub>1</sub> あるいは 214<sub>2</sub> と同様の構成をとることができる。パルス生成回路 505 は、タイミング抽出フィルタ 503 が抽出する周波数の自然数分の 1 の周波数からなるクロック信号 215 を、ビットレート検出器 232 から供給される識別結果 233 に応じて選択的に出力するようになっている。

#### 【0058】第 7 の実施例

【0059】図 13 は、本発明の第 7 の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第 1 の実施例の図 1 と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第 7 の実施例の光再生中継器では、可変利得アンプ 208 から出力される電気データ信号 209 を増幅する増幅器 601 を備えている。増幅器 601 で増幅された後の電気データ信号 602 は、第 1 ～第 n の微分回路（DIFF）603<sub>1</sub> ～603<sub>n</sub> に分配されて入力されるようになっている。第 1 の微分回路 603<sub>1</sub> の出力側には整流回路（RECT）604<sub>1</sub>、タイミング抽出フィルタ（BPF）605<sub>1</sub>、リミッタアンプ 606<sub>1</sub> からなる直列回路が接続されており、その出力側にはピーク検出回路（PEAK）607<sub>1</sub> と n : 1 選択回路（n : 1 SEL）608 が接続されている。ピーク検出回路 607<sub>1</sub> の検出したピーク値情報 609<sub>1</sub> は、選択制御回路（SEL CONT）611 に入力される。

【0060】第 2 ～第 n の微分回路 603<sub>2</sub> ～603<sub>n</sub> の出力側にも、それぞれ第 1 の微分回路 603<sub>1</sub> の出力側と同様に整流回路 604<sub>2</sub> ～604<sub>n</sub>、タイミング抽出フィルタ 605<sub>2</sub> ～605<sub>n</sub>、リミッタアンプ 606

2 ～606<sub>n</sub> からなる直列回路が接続されており、それらの出力側にはピーク検出回路 607<sub>2</sub> ～607<sub>n</sub> とこれらに共通の n : 1 選択回路 608 が接続されている。それぞれのピーク検出回路 607<sub>2</sub> ～607<sub>n</sub> の検出したピーク値情報 609<sub>2</sub> ～609<sub>n</sub> は、選択制御回路 611 に入力される。選択制御回路 611 は、すべてのピーク値情報 609<sub>1</sub> ～609<sub>n</sub> の中でピーク値が最大となる周波数のクロック信号を検出し、この周波数のクロック信号を選択させるための選択指示信号 612 を n : 1 選択回路 608 に供給するようになっている。n : 1 選択回路 608 からは該当するクロック信号 215 が識別回路 211 のクロック入力端子 C に送出されることになる。

【0061】この実施例の光再生中継器は、図 1 に示した第 1 の実施例におけるタイミング再生手段が非線形抽出によるものであり、ビットレート検出手段が再生したタイミング信号のピーク値検出によるものとなっている。

【0062】図 13 において、第 1 の微分回路 603<sub>1</sub> とその出力側の整流回路 604<sub>1</sub> は、可変利得アンプ 208 から出力される電気データ信号 209 を入力して、周波数 f<sub>1</sub> のタイミング輝線スペクトラム成分を生成する。タイミング抽出フィルタ 605<sub>1</sub> は、このタイミング輝線スペクトラム成分を入力して、周波数成分 f<sub>1</sub> を抽出する。リミッタアンプ 606<sub>1</sub> は、こうして得られた周波数成分 f<sub>1</sub> を増幅して、n : 1 選択回路 608 とピーク検出回路 607<sub>1</sub> に送出する。第 2 ～第 n の微分回路 603<sub>2</sub> ～603<sub>n</sub> に入力された電気データ信号 209 についても、それぞれ同様の処理が行われる。このようにして、周波数成分 f<sub>1</sub> だけでなく、周波数成分 f<sub>2</sub> ～f<sub>n</sub> についてのクロック信号の再生が行われる。

n : 1 選択回路 608 は、各リミッタアンプ 606<sub>1</sub> ～606<sub>n</sub> が出力するこれら周波数成分 f<sub>1</sub> ～f<sub>n</sub> のクロック信号を入力して、次に説明するようにこの中から 1 種類のクロック信号 215 を選択して識別回路 211 に供給する。

【0063】一方、ピーク検出回路 607<sub>1</sub> ～607<sub>n</sub> は、これら周波数成分 f<sub>1</sub> ～f<sub>n</sub> のクロック信号を入力して、それぞれのピーク値を検出する。これらのピーク値情報 609<sub>1</sub> ～609<sub>n</sub> は、選択制御回路 611 に入力されて、ピーク値が最大になる周波数のクロック信号が検出される。選択制御回路 611 は、これに基づいてそのクロック信号を選択させるための選択指示信号 612 を n : 1 選択回路 608 に供給し、前記したように該当するクロック信号 215 が識別回路 211 に供給されることになる。本実施例では、このようにしてタイミング再生を行って、光再生中継を行うようにしている。

#### 【0064】

【発明の効果】請求項 1 ～請求項 7 記載の発明では、伝送路光ファイバから入力される光信号のビットレートを

検出し、この検出結果に応じて光再生中継器内で再生するクロック信号の周波数の切り替えを行うようにしているので、データ信号とは別にクロック信号を送受信するための光送受信回路を設ける必要がない。このため、より安価なビットレート無依存型光再生中継器を実現することができる。また、データ信号とは別にクロック信号を送受信するための波長を設ける必要もないため、波長分割多重（WDM）伝送系への拡張に対しても、光波長帯域を有効に使用することができ、伝送効率を向上させることができる。更に請求項 1～請求項 7 記載の発明によれば、受信した光信号からクロック信号を再生して中継しているため、各光中継器において S/N 比（信号対雑音比）や波形の劣化を回復させることができるという効果がある。

#### 【図面の簡単な説明】

【図 1】本発明の第 1 の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図 2】第 1 の実施例におけるパルス生成回路の第 1 の具体例を示すブロック図である。

【図 3】第 1 の実施例におけるパルス生成回路の第 2 の具体例を示すブロック図である。

【図 4】第 1 の実施例で使用される位相比較器の動作を説明するための各種波形図である。

【図 5】第 1 の実施例で位相比較器に入力された 2 つの入力波形の位相差  $\phi$  に対する位相検出特性を示す特性図である。

【図 6】第 1 の実施例でパルスカウンタとビットレート検出器を表わしたブロック図である。

【図 7】第 1 の実施例で 3 種類のビットレートとパルス数計算値の関係を示した説明図である。

【図 8】本発明の第 2 の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図 9】本発明の第 3 の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図 10】本発明の第 4 の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図 11】本発明の第 5 の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図

である。

【図 12】本発明の第 6 の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図 13】本発明の第 7 の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

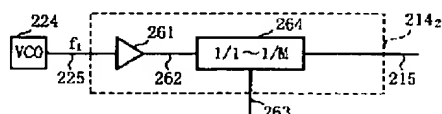
【図 14】従来の光再生中継器の第 1 の例を示すブロック図である。

【図 15】従来の光再生中継器の第 2 の例を示すブロック図である。

#### 【符号の説明】

201…光信号入力端子  
202…光信号  
204…フォト・ダイオード  
206…プリアンプ  
208…可変利得アンプ  
211…識別回路  
212…位相比較器  
213…パルスカウンタ  
214、505…パルス生成回路  
218…電気・光変換回路  
222…出力端子  
224…電圧制御発振器  
226…低域通過フィルタ  
228…演算増幅器  
232…ビットレート検出器  
301…D-フリップフロップ回路  
303…1ビット長検出回路  
401…フレーム同期回路  
405…制御回路  
501…微分回路  
502…整流回路  
503…タイミング抽出フィルタ  
504…リミッタアンプ  
603<sub>1</sub>～603<sub>n</sub>…第 1～第 n の微分回路  
604<sub>1</sub>～604<sub>n</sub>…整流回路  
605<sub>1</sub>～605<sub>n</sub>…タイミング抽出フィルタ  
607<sub>1</sub>～607<sub>n</sub>…ピーク検出回路  
608…n : 1 選択回路  
611…選択制御回路

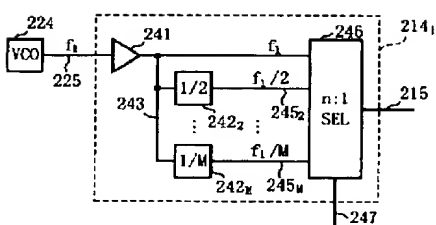
【図 3】



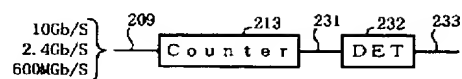
【図 4】



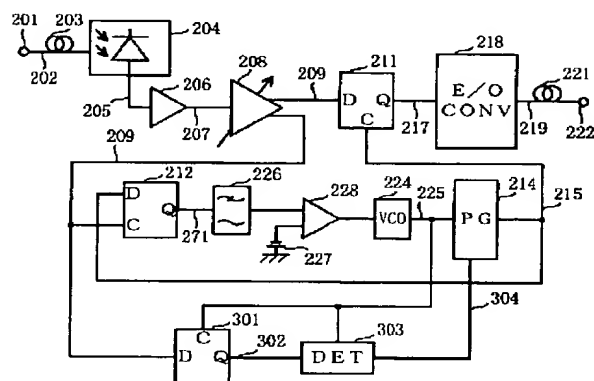
【图2】



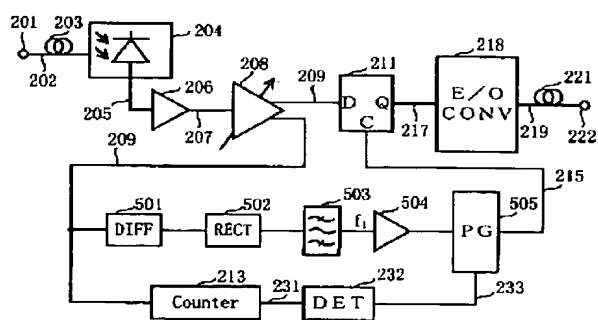
【图 6】



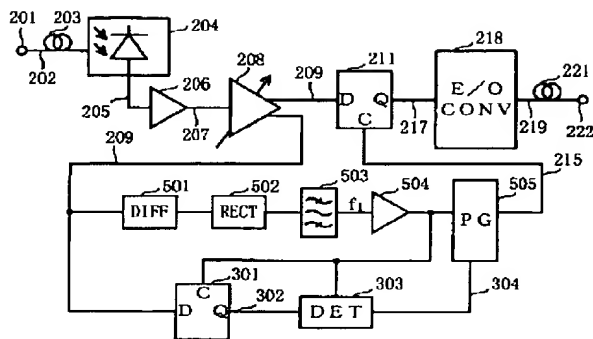
【图 8】



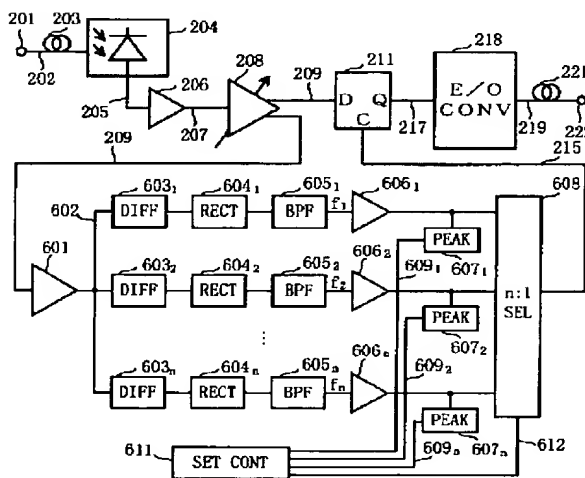
【图9】



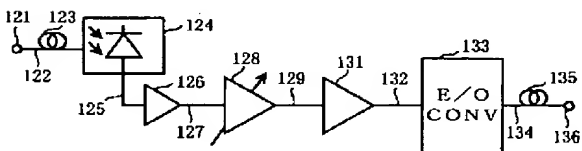
【図 11】



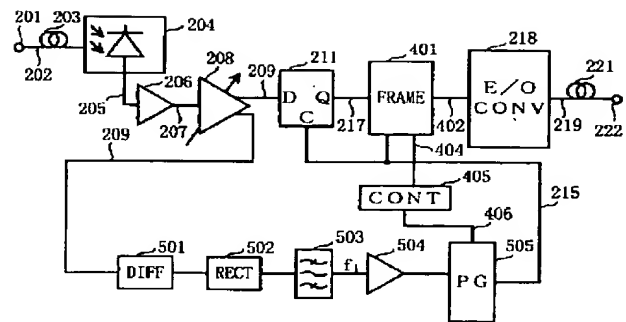
【図 13】



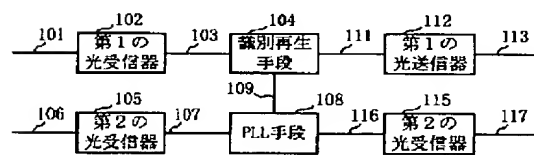
【図 15】



【図 12】



【図 14】



## 【手続補正書】

【提出日】平成10年3月23日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

## 【補正内容】

【書類名】明細書

【発明の名称】ビットレート自動識別器、ビットレート選択型タイミング抽出器、ビットレート選択型識別再生器、ビットレート選択型光再生中継器およびビットレ

## ート自動識別方法

## 【特許請求の範囲】

【請求項1】 入力されるデジタル信号を構成する2種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、

この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを具備することを特徴とするビットレート自動識別器。

【請求項2】 デジタル信号およびこのデジタル信号の

ビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する２種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、

前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する１ビット長検出回路とを具備することを特徴とするビットレート自動識別器。

【請求項３】 入力されるデジタル信号を構成する２種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、

前記入力デジタル信号に含まれるクロック成分を、前記倍率選択信号に基づき設定される倍率で通倍し、通倍クロック信号を出力する位相同期ループ回路とを具備することを特徴とするビットレート選択型タイミング抽出器。

【請求項４】 デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する２種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する１ビット長検出回路とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、

前記入力デジタル信号に含まれるクロック成分を、前記倍率選択信号に基づき設定される倍率で通倍し、通倍クロック信号を出力する位相同期ループ回路とを具備することを特徴とするビットレート選択型タイミング抽出器。

【請求項５】 入力されるデジタル信号を構成する２種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、

この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、

前記入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、

このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、

整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、

前記高調波が入力され、前記倍率選択信号に基づき設定

される分周比で分周し、分周クロック信号を出力する分周回路とを具備することを特徴とするビットレート選択型タイミング抽出器。

【請求項６】 デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する２種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する１ビット長検出回路とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、

前記入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、

このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、

整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、

前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路とを具備することを特徴とするビットレート選択型タイミング抽出器。

【請求項７】 入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、この整流パルス信号が入力され、予め定められた周波数を有する正弦波信号を選択出力する帯域通過フィルタと、この正弦波信号が入力され、入力信号電力に対し単調に変化するパラメータを有する電力信号を出力する電力検出回路とを備え、前記予め定められた周波数が互いに異なる値に設定された複数のタイミング抽出回路と、

これら複数のタイミング抽出回路から前記正弦波信号のそれぞれが入力され、外部から入力される選択信号に基づき、入力信号の１つを選択し選択正弦波信号を出力する選択回路と、

前記複数のタイミング抽出回路から前記電力信号のそれぞれが入力され、最大の電力を有する前記正弦波信号を選択するための前記選択信号を作成し、前記選択回路に与える選択制御回路とを具備することを特徴とするビットレート選択型タイミング抽出器。

【請求項８】 入力されるデジタル信号を構成する２種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを備え、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、前記入力デジタル信号に含まれるクロック成分を、前記倍率選択信号に



に基づき設定される倍率で通倍し、通倍クロック信号を出力する位相同期ループ回路とを具備し、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、

前記入力デジタル信号を前記通倍クロック信号により識別再生する識別回路とを具備することを特徴とするビットレート選択型識別再生器。

【請求項 9】 デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する 2 種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する 1 ビット長検出回路とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、前記入力デジタル信号に含まれるクロック成分を、前記倍率選択信号に基づき設定される倍率で通倍し、通倍クロック信号を出力する位相同期ループ回路とを備え、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、

前記入力デジタル信号を前記通倍クロック信号により識別再生する識別回路とを具備することを特徴とするビットレート選択型識別再生器。

【請求項 10】 入力されるデジタル信号を構成する 2 種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、

この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、

前記入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、

このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、

整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、

前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路とを備え、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、

前記入力デジタル信号を前記分周クロック信号により識別再生する識別回路とを具備することを特徴とするビットレート選択型識別再生器。

【請求項 11】 デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する 2 種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力

するカウンタと、前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する 1 ビット長検出回路とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、

前記入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、

このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、

整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、

前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路とを備え、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、

前記入力デジタル信号を前記分周クロック信号により識別再生する識別回路とを具備することを特徴とするビットレート選択型識別再生器。

【請求項 12】 入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、この整流パルス信号が入力され、予め定められた周波数を有する正弦波信号を選択出力する帯域通過フィルタと、この正弦波信号が入力され、入力信号電力に対し単調に変化するパラメータを有する電力信号を出力する電力検出回路とを備え、前記予め定められた周波数が互いに異なる値に設定された複数のタイミング抽出回路と、これら複数のタイミング抽出回路から前記正弦波信号のそれぞれが入力され、外部から入力される選択信号に基づき、入力信号の 1 つを選択し選択正弦波信号を出力する選択回路と、前記複数のタイミング抽出回路から前記電力信号のそれぞれが入力され、最大の電力を有する前記正弦波信号を選択するための前記選択信号を作成し、前記選択回路に与える選択制御回路とを備え、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、

前記入力デジタル信号を前記分周クロック信号により識別再生する識別回路とを具備することを特徴とするビットレート選択型識別再生器。

【請求項 13】 入力デジタル信号に含まれるクロック成分を、外部から入力される倍率選択信号に基づき設定される倍率で通倍し、通倍クロック信号を出力する位相同期ループ回路と、

前記入力デジタル信号を前記通倍クロック信号により識別再生し識別再生信号を出力する識別回路と、

該識別再生信号に対し、前記入力デジタル信号に予め挿入されていた特定パターンの有無を調べ、その結果を検出信号として出力する特定パターン検出回路と、

該検出信号が入力され、該検出信号が前記特定パターンが有ることを示すまで、前記倍率を順次変化させるべく

前記倍率選択信号を作成し、出力する制御回路とを具備することを特徴とするビットレート選択型識別再生器。

【請求項14】 入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、

該パルス信号を全波整流し、整流パルス信号を出力する整流回路と、

整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、

前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路と、

前記入力デジタル信号を前記分周クロック信号により識別再生し識別再生信号を出力する識別回路と、

該識別再生信号に対し、前記入力デジタル信号に予め挿入されていた特定パターンの有無を調べ、その結果を検出信号として出力する特定パターン検出回路と、

該検出信号が入力され、該検出信号が前記特定パターンが有ることを示すまで、前記分周比を順次変化させるべく前記倍率選択信号を作成し、出力する制御回路とを具備することを特徴とするビットレート選択型識別再生器。

【請求項15】 入力される光信号を電気信号に変換する光電気変換回路と、

該電気信号が、前記入力デジタル信号として入力されるビットレート選択型識別再生器とを具備することを特徴とする請求項8～請求項14記載のビットレート選択型識別再生器。

【請求項16】 前記ビットレート選択型光受信器と、該ビットレート選択型光受信器から出力される前記識別再生信号を光信号に変換する電気光変換回路とを具備することを特徴とする請求項15記載のビットレート選択型識別再生器。

【請求項17】 入力されるデジタル信号に対し、いずれか一方のレベルを有するパルスの数を予め定められた時間に亘って計数するパルス計数工程と、該パルス計数工程の結果、得られたパルス数から、前記入力されるデジタル信号のビットレートを推定する工程とを具備することを特徴とするビットレート自動識別方法。

【請求項18】 入力されるデジタル信号の同一レベルの信号が継続する継続時間を、前記デジタル信号のビットレートよりも大きな周波数を有するクロックの周期数を単位として繰り返し計測する同符号連続時間計測工程と、

該同符号連続時間計測工程で得られる前記継続時間の最小値を検出する最小値検出工程と、

前記最小値から、前記入力されるデジタル信号のビットレートを推定する工程とを具備することを特徴とするビットレート自動識別方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば光基幹伝送システムに有用な中継器に係わり、特に、伝送速度すなわちビットレートを選択して光信号の中継伝送を行うようにしたビットレート自動識別器、ビットレート選択型タイミング抽出器、ビットレート選択型識別再生器、ビットレート選択型光再生中継器およびビットレート自動識別方法に関する。

【0002】

【従来の技術】従来、光信号の中継伝送のための中継器としては、ビットレート無依存型の光再生中継器が使用されていた。

【0003】図14は、従来のこのような光再生中継器の第1の例を示したものである。特開平6-120936号公報に開示されたこの光再生中継器は、図示しない伝送路光ファイバから高速データ信号で強度変調された高速光信号101を受信するための第1の光受信器102を備えている。第1の光受信器102から出力される高速データ103は、識別再生手段104に入力される。一方、第2の光受信器105の方には、n分周クロック光信号106が入力されるようになっている。このn分周クロック光信号106は、前記した高速データ信号に同期した主クロック信号をn分周クロック信号で強度変調した光信号であり、前記した伝送路光ファイバから受信したものである。第2の光受信器105からはn分周クロック信号107が出力され、PLL（Phase Locked Loop）手段108に入力されることになる。

【0004】PLL手段108は、内部に電圧制御発振器（VCO）を有しており、この電圧制御発振器の生成するクロック信号の信号位相を、第2の光受信器105から出力されるn分周クロック信号107に同期させた抽出クロック信号109を識別再生手段104に供給するようになっている。

【0005】識別再生手段104は、抽出クロック信号109を使用して第1の光受信器102から出力される高速データ103を識別再生し、再生データ111を第1の光送信器112に出力する。第1の光送信器112は、この再生データ111を光信号に変換し、高速光信号113として図示しない伝送路光ファイバに送出する。また、第2の光受信器105で受信されたn分周クロック光信号106は、低速側の第2の光受信器115で光信号117に変換され、同じく伝送路光ファイバに送出されることになる。

【0006】図14に示したこの従来技術では、光伝送路に高速光信号と、この高速光信号に同期する主クロック信号をn分周したn分周クロック信号とを送出している。そして、中継局でそのn分周した分周クロック信号を基準として、内部のVCO等の回路で発生するクロック信号（主クロック信号き同じシステムの信号）の位相

をPLL制御して、主クロック信号と同じシステムでn分周クロック信号に同期した抽出クロック信号を得ている。そして、その抽出クロック信号を基準として高速データの識別再生を行っている。これによって、伝送路光ファイバを伝送する光信号のビットレートに依存しない光信号の再生中継が行われるようになっていく。

【0007】図15は、従来の光再生中継器の第2の例を示したものである。この光再生中継器では、光信号入力端子121に、データ信号で強度変調された光信号122を入力するようになっていく。光ファイバ123を伝送された光信号122は、フォト・ダイオード124に入射し、光電流125に変換される。そして、プリアンプ126で増幅されて電気データ信号127に変換される。電気データ信号127は、可変利得アンプ128に入力される。可変利得アンプ128は、入力された電気データ信号127が予め設定された一定の振幅になるようにこれを増幅する。増幅後の電気データ信号129はリミッタアンプ131に入力される。リミッタアンプ131は、電気データ信号129をリミッタ増幅することによって、波形を矩形波に整形する。

【0008】整形後の電気データ信号132は電気・光変換回路(E/O CONV)133に入力される。電気・光変換回路133は、波形整形された電気データ信号132を光信号134に変換し、光ファイバ135を介して出力端子136へ出力する。

【0009】この図15に示す従来の光再生中継器では、受信した光信号からタイミングの再生を行うことなく、データ手段の波形を整形し、再びこれを光信号として出力するようにしている。したがって、この光再生中継器を構成する回路の帯域内であれば、伝送路光ファイバを伝送する光信号のビットレートに依存しない光信号の再生中継が可能になることになった。

【0010】

【発明が解決しようとする課題】従来のこのようなビットレート無依存型の光再生中継器のうち図14に示した光再生中継器は高価であり、信頼性も低いという問題があった。これは、この光再生中継器ではデータ信号と別にクロック信号を伝送するために、光送受信回路が2倍必要であったからである。また、データ信号とクロック信号を同一の光ファイバ伝送路を介して伝送するようにした場合には、波長分割多重(WDM)を行う必要があった。このため、この光再生中継器をWDM伝送系へと拡張する場合には、光波長帯域を有効に使用することができないという問題もあった。

【0011】また、図15に示した従来の光再生中継器では、受信した光信号からタイミングクロック信号を再生することなく波形整形を行いそのまま光信号に変換して出力するようにしている。このため、本来の光信号の他に雑音も同時に再生中継を行うことになり、信号波形、特にデジタル信号のデューティ比等が劣化するこ

とになり、伝送特性に悪影響を及ぼすという問題があった。

【0012】そこで本発明の目的は、複数のビットレートを選択できるようにし、安価で、波長成分を有効に活用し、伝送特性に優れたビットレート選択型光再生中継器およびビットレート自動識別器、ビットレート選択型タイミング抽出器、ビットレート選択型識別再生器ならびにビットレート自動識別方法を提供することにある。

【0013】

【課題を解決するための手段】請求項1記載の発明では、(イ)入力されるデジタル信号を構成する2種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、(ロ)この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とをビットレート自動識別器に具備させる。

【0014】請求項2記載の発明では、(イ)デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する2種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、(ロ)前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する1ビット長検出回路とをビットレート自動識別器に具備させる。

【0015】請求項3記載の発明では、(イ)入力されるデジタル信号を構成する2種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、(ロ)前記入力デジタル信号に含まれるクロック成分を、前記倍率選択信号に基づき設定される倍率で逡倍し、逡倍クロック信号を出力する位相同期ループ回路とをビットレート選択型タイミング抽出器に具備させる。

【0016】請求項4記載の発明では、(イ)デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する2種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する1ビット長検出回路とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、(ロ)前記入力デジタル信号に含まれるクロック成分を、前記倍率選択信号に基づき設定される倍率で逡倍し、逡倍クロック信号を出力する位相同期ループ回路とをビットレート選択

型タイミング抽出器に具備させる。

【0017】請求項5記載の発明では、(イ)入力されるデジタル信号を構成する2種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、(ロ)この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、(ハ)前記入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、(ニ)このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、(ホ)整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、(ヘ)前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路とをビットレート選択型タイミング抽出器に具備させる。

【0018】請求項6記載の発明では、(イ)デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する2種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する1ビット長検出回路とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、(ロ)前記入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、(ハ)このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、(ニ)整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、(ホ)前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路とをビットレート選択型タイミング抽出器に具備させる。

【0019】請求項7記載の発明では、(イ)入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、この整流パルス信号が入力され、予め定められた周波数を有する正弦波信号を選択出力する帯域通過フィルタと、この正弦波信号が入力され、入力信号電力に対し単調に変化するパラメータを有する電力信号を出力する電力検出回路とを備え、前記予め定められた周波数が互いに異なる値に設定された複数のタイミング抽出回路と、(ロ)これら複数のタイミング抽出回路から前記正弦波信号のそれぞれが入力され、外部から入力される選択信号に基づき、入力信号の1つを選択し選択正弦波信号を出力す

る選択回路と、(ハ)前記複数のタイミング抽出回路から前記電力信号のそれぞれが入力され、最大の電力を有する前記正弦波信号を選択するための前記選択信号を作成し、前記選択回路に与える選択制御回路とをビットレート選択型タイミング抽出器に具備させる。

【0020】請求項8記載の発明では、(イ)入力されるデジタル信号を構成する2種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを備え、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、前記入力デジタル信号に含まれるクロック成分を、前記倍率選択信号に基づき設定される倍率で通倍し、通倍クロック信号を出力する位相同期ループ回路とを具備し、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、(ロ)前記入力デジタル信号を前記通倍クロック信号により識別再生する識別回路とをビットレート選択型識別再生器に具備させる。

【0021】請求項9記載の発明では、(イ)デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する2種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する1ビット長検出回路とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、前記入力デジタル信号に含まれるクロック成分を、前記倍率選択信号に基づき設定される倍率で通倍し、通倍クロック信号を出力する位相同期ループ回路とを備え、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、(ロ)前記入力デジタル信号を前記通倍クロック信号により識別再生する識別回路とをビットレート選択型識別再生器に具備させる。

【0022】請求項10記載の発明では、(イ)入力されるデジタル信号を構成する2種類のレベルのビットのうち一方のレベルを有するビットの数を所定の時間計数し、計数結果信号を出力するカウンタと、(ロ)この計数結果信号から、前記デジタル信号のビットレートを算出するビットレート検出器とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、(ハ)前記入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、(ニ)このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、(ホ)整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、

(ヘ) 前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路とを備え、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、(ト) 前記入力デジタル信号を前記分周クロック信号により識別再生する識別回路とをビットレート選択型識別再生器に具備させる。

【0023】請求項1記載の発明では、(イ) デジタル信号およびこのデジタル信号のビットレート以上の周波数を有するクロックとが入力され、前記デジタル信号を構成する2種類のレベルのビットのうち一方のレベルが継続する時間を前記クロックの周期数を単位として測定し、ビット長信号として出力するカウンタと、前記ビット長信号が入力され、前記一方のレベルが継続する時間の最小値を算出する1ビット長検出回路とを具備し、入力デジタル信号のビットレートを算出し、倍率選択信号を出力するビットレート自動識別器と、(ロ) 前記入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、(ハ) このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、(ニ) 整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、(ホ) 前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路とを備え、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、(ヘ) 前記入力デジタル信号を前記分周クロック信号により識別再生する識別回路とをビットレート選択型識別再生器に具備させる。

【0024】請求項12記載の発明では、(イ) 入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、このパルス信号を全波整流し、整流パルス信号を出力する整流回路と、この整流パルス信号が入力され、予め定められた周波数を有する正弦波信号を選択出力する帯域通過フィルタと、この正弦波信号が入力され、入力信号電力に対し単調に変化するパラメータを有する電力信号を出力する電力検出回路とを備え、前記予め定められた周波数が互いに異なる値に設定された複数のタイミング抽出回路と、これら複数のタイミング抽出回路から前記正弦波信号のそれぞれが入力され、外部から入力される選択信号に基づき、入力信号の1つを選択し選択正弦波信号を出力する選択回路と、前記複数のタイミング抽出回路から前記電力信号のそれぞれが入力され、最大の電力を有する前記正弦波信号を選択するための前記選択信号を作成し、前記選択回路に与える選択制御回路とを備え、入力デジタル信号からタイミング成分を抽出するビットレート選択型タイミング抽出器と、(ロ) 前記入力デジタル信号を前記分周クロック信号により識別再生する識別回路とをビットレート選択型識別再生器に具備させる。

【0025】請求項13記載の発明では、(イ) 入力デジタル信号に含まれるクロック成分を、外部から入力される倍率選択信号に基づき設定される倍率で通倍し、通倍クロック信号を出力する位相同期ループ回路と、

(ロ) 前記入力デジタル信号を前記通倍クロック信号により識別再生し識別再生信号を出力する識別回路と、

(ハ) 該識別再生信号に対し、前記入力デジタル信号に予め挿入されていた特定パターンの有無を調べ、その結果を検出信号として出力する特定パターン検出回路と、

(ニ) 該検出信号が入力され、該検出信号が前記特定パターンが有ることを示すまで、前記倍率を順次変化させるべく前記倍率選択信号を作成し、出力する制御回路とをビットレート選択型識別再生器に具備させる。

【0026】請求項14記載の発明では、(イ) 入力デジタル信号が入力され、前記入力デジタル信号の変化点でパルス信号を出力する微分回路と、(ロ) 該パルス信号を全波整流し、整流パルス信号を出力する整流回路と、(ハ) 整流パルス信号に含まれる前記入力デジタル信号のクロック成分の高調波を透過する帯域通過フィルタと、(ニ) 前記高調波が入力され、前記倍率選択信号に基づき設定される分周比で分周し、分周クロック信号を出力する分周回路と、(ホ) 前記入力デジタル信号を前記分周クロック信号により識別再生し識別再生信号を出力する識別回路と、(ヘ) 該識別再生信号に対し、前記入力デジタル信号に予め挿入されていた特定パターンの有無を調べ、その結果を検出信号として出力する特定パターン検出回路と、(ト) 該検出信号が入力され、該検出信号が前記特定パターンが有ることを示すまで、前記分周比を順次変化させるべく前記倍率選択信号を作成し、出力する制御回路とをビットレート選択型識別再生器に具備させる。

【0027】請求項15記載の発明では、(イ) 入力される光信号を電気信号に変換する光電気変換回路と、

(ロ) 該電気信号が、前記入力デジタル信号として入力されるビットレート選択型識別再生器とを請求項8～請求項14記載のビットレート選択型識別再生器に具備させる。

【0028】請求項16記載の発明では、(イ) 前記ビットレート選択型光受信器と、(ロ) 該ビットレート選択型光受信器から出力される前記識別再生信号を光信号に変換する電気光変換回路とを請求項15記載のビットレート選択型識別再生器に具備させる。

【0029】請求項17記載の発明では、(イ) 入力されるデジタル信号に対し、いずれか一方のレベルを有するパルスの数を予め定められた時間に亘って計数するパルス計数工程と、(ロ) 該パルス計数工程の結果、得られたパルス数から、前記入力されるデジタル信号のビットレートを推定する工程とをビットレート自動識別方法に具備させる。

【0030】請求項18記載の発明では、(イ) 入力さ

れるデジタル信号の同一レベルの信号が継続する継続時間を、前記デジタル信号のビットレートよりも大きな周波数を有するクロックの周期数を単位として繰り返し計測する同符号連続時間計測工程と、(ロ)該同符号連続時間計測工程で得られる前記継続時間の最小値を検出する最小値検出工程と、(ハ)前記最小値から、前記入力されるデジタル信号のビットレートを推定する工程とをビットレート自動識別方法に具備させる。

【0031】

【発明の実施の形態】

【0032】

【実施例】以下実施例につき本発明を詳細に説明する。

【0033】第1の実施例

【0034】図1は本発明の第1の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この光再生中継器の光信号入力端子201には、データ信号で強度変調された光信号202が入力されるようになっている。光ファイバ203を伝送された光信号202は、フォト・ダイオード204に入射し、光電流205に変換される。そして、プリアンプ206で増幅されて電気データ信号207に変換される。電気データ信号207は、可変利得アンプ208に入力される。可変利得アンプ208は、入力された電気データ信号207が予め設定された一定の振幅になるようにこれを増幅する。増幅後の電気データ信号209は識別回路211と位相比較器212およびパルスカウンタ(Counter)213のそれぞれに入力される。

【0035】このうち、識別回路211は電気データ信号209を入力端子Dに入力し、パルス生成回路(PG)214から出力されるクロック信号215をクロック端子Cに入力して、その出力端子Qから電気データ信号217を識別再生する。データ信号217は電気・光変換回路(E/O CONV)218に入力される。電気・光変換回路218は、識別再生された電気データ信号217を光信号219に変換し、光ファイバ221を介してこれを出力端子222に出力するようになっている。

【0036】ところで、パルス生成回路214は電圧制御発振器(VCO)224からその出力クロック225の供給を受けて、そのM分の1(ただしMは自然数)の周波数のクロック信号215を生成する回路である。電圧制御発振器224は、本実施例の光再生中継器が受信しうる最大のビットレートと同じ周波数付近で発振し、これを基にしてパルス生成回路214は前記したクロック信号215を生成することになる。この電圧制御発振器224は、位相比較器212、低域通過フィルタ226、基準電圧227を一端に供給される演算増幅器228およびパルス生成回路214と共にPLL回路を構成している。パルス生成回路214には、パルスカウンタ213の1秒間の計数値231を入力してビットレートを

を検出するビットレート検出器(DET)232の識別結果233が入力され、ビットレートに応じた周波数のクロック信号215が生成されることになる。

【0037】図2は、本実施例のパルス生成回路の第1の具体例を示したものである。電圧制御発振器224から周波数 $f_1$ の出力クロック225を供給されるパルス生成回路214<sub>1</sub>は、この出力クロック225を増幅する増幅器241と、増幅後の出力クロック243を2分の1からM分の1まで別々に分周する分周回路242<sub>2</sub>～242<sub>M</sub>と、増幅後の周波数 $f_1$ の出力クロック243と各分周回路242<sub>2</sub>～242<sub>M</sub>の出力クロック245<sub>2</sub>～245<sub>M</sub>を並列的に入力するn:1選択回路(n:1SEL)246とによって構成されている。

n:1選択回路246には、出力クロック243、245<sub>2</sub>～245<sub>M</sub>の合計n通りの中から1つを選択するための制御信号247が入力されるようになっており、この選択の結果としてビットレートに応じた周波数のクロック信号215が出力されるようになっている。

【0038】図3は、本実施例のパルス生成回路の第2の具体例を示したものである。電圧制御発振器224から周波数 $f_1$ の出力クロック225を供給されるパルス生成回路214<sub>2</sub>は、この出力クロック225を増幅する増幅器261と、増幅後の出力クロック262を制御信号263に応じて1分の1からM分の1まで任意の比で分周する分周回路264とによって構成されている。分周回路264からは、ビットレートに応じた周波数のクロック信号215が出力されることになる。

【0039】図1に戻って説明を続ける。パルス生成回路214から出力されるクロック信号215は、位相比較器212の入力端子Dに入力され、可変利得アンプ208から出力されて比較端子Cに入力された電気データ信号209と位相比較が行われる。位相比較器212の出力端子Qから出力される位相差信号271は低域通過フィルタ226、演算増幅器228等から構成されるPLL回路によって、パルス生成回路214の出力信号のレベルの変化点と可変利得アンプ208の出力データの変化点の位相が一致するような制御が行われる。

【0040】図4は、位相比較器の動作を説明するためのものである。同図(a)は、図1に示したパルス生成回路214から出力されるクロック信号215の波形を表わしたものである。また、同図(b)は図1に示した可変利得アンプ208から出力される電気データ信号209の波形を表わしたものである。図1に示した位相比較器212は、クロック信号215を電気データ信号209でラッチする。このラッチした信号の平均値を低域通過フィルタ226(図1)によって抽出すると、図4(a)、(b)に示す2つの入力波形の位相差 $\phi$ に対して、図5に示すような位相検出特性が得られる。

【0041】図1に示すパルスカウンタ213は、可変利得アンプ208から出力される電気データ信号209



のパルス数を計数する。このパルス数の1秒間の計数値231を用いて、ビットレート検出器232はこの光再生中継器に入力された光信号202のビットレートを識別する。そして、その識別結果233がパルス生成回路214に入力されて、その分周比が設定されることになる。

【0042】図6および図7は、ビットレートの識別の原理を説明するためのものである。このうち、図6は図1に示したパルスカウンタ213に各種のビットレートの電気データ信号209が入力される場合を示している。SDH (Synchronous Digital Hierarchy) や、SONET (Synchronous Optical Network) において、標準の伝送速度として適用されている10Gb/s (ギガビット/秒)、2.4Gb/s および600Mb/s (メガビット/秒) の3種類のビットレートを例にして説明を行う。

【0043】図7は、これら3種類のビットレートにおけるパルスカウンタの1秒間のパルス計数結果を縦軸に、入力した電気データ信号のマーク率を横軸に示したものである。図6に示すパルスカウンタ213は、入力した電気データ信号209のパルスを、1秒間計測した結果を、1秒間の計数値231としてビットレート検出器232に送出している。図7には、10Gb/s、2.4Gb/s および600Mb/s のそれぞれに対して、マーク率が1/4～3/4でPN疑似ランダムパターンの場合のパルス計数値も示してある。

【0044】この図7から分かるように、マーク率が1/4～3/4の範囲内でランダム性をもった電気データ信号209については、1秒間のパルス計数結果としての計数値231がビットレートに十分比例している。このため、図7に示すように閾値Aおよび閾値Bをビットレート検出器232に設定することで、ビットレートを識別することが可能である。特に、前記したSDHや、SONETの光信号インターフェースでは、データ信号に対してPN7段相当の疑似ランダムパターンでスクランブルをかけるため、本実施例のようなビットレート識別回路が有効であることがわかる。

【0045】以上説明したように、第1の実施例では、入力された光信号のビットレートを識別して、これに同期したクロックを再生して、識別再生を行うようになっている。

#### 【0046】第2の実施例

【0047】図8は、本発明の第2の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第2の実施例の光再生中継器では、電気データ信号209がD-フリップフロップ回路301の入力端子Dに供給され、その出力端子Qから出力されるラッチ出力

302が1ビット長検出回路303に供給されて、受信した光信号の1ビット長の検出を行う。電圧制御発振器224から出力される出力クロック225がD-フリップフロップ回路301のクロック端子Cと1ビット長検出回路303に供給される。1ビット長検出回路303の検出出力304はパルス生成回路214に入力されて、その分周比が設定されるようになっている。

【0048】この第2の実施例の光再生中継器の動作を次に説明する。可変利得アンプ208から出力される電気データ信号209は、この実施例の光再生中継器が受信しうる最大のビットレートと同じ周波数付近で発振する電圧制御発振器224から出力される出力クロック225によってD-フリップフロップ回路301でラッチされる。1ビット長検出回路303は、D-フリップフロップ回路301から入力されるラッチ出力302によって電気データ信号の同符号連続数を検出し、入力される電気データ信号のビットレートに対して十分長い時間内で最小の同符号連続数を受信した電気データ信号の1ビット長であると判断する。ここで十分長い時間内とは、例えば、10Gb/sに対して1秒間というような時間をいう。

【0049】一例としては、電圧制御発振器224の発振周波数が10GHzで、受信するビットレートが10Gb/s、2.4Gb/s および600Mb/s であるとする。この場合には、受信するビットレートが10Gb/sで最小同符号連続数が“1”、受信するビットレートが2.4Gb/s の場合には最小同符号連続数が“4”、受信するビットレートが600Mb/s の場合には最小同符号連続数が“16”となり、この結果を基にしてビットレートの検出が行われる。

#### 【0050】第3の実施例

【0051】図9は、本発明の第3の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第3の実施例の光再生中継器では、識別回路211の出力端子Qから出力される電気データ信号217をフレーム同期回路(FRAME)401に入力し、フレーム同期用ビットを検出してフレーム同期をとるようにしている。フレーム同期回路401の出力402を電気・光変換回路218に供給される。また、受信した電気データ信号217がフレーム同期状態であるか否かを示した情報404は制御回路405に入力されるようになっている。制御回路405はこれにより分周比を保持するか他に変更するかを示す分周比指示情報406をパルス生成回路214に供給して、分周比の設定を行わせる。このため、この光再生中継器では図1に示したパルスカウンタ213およびビットレート検出器232が設けられていない。

【0052】この第3の実施例の光再生中継器の動作を

次に説明する。本実施例では、光信号入力端子201に入力される光信号202に、送信側で予めフレーム同期用ビットが挿入されていることを前提としている。フレーム同期回路401は、識別回路211から出力される電気データ信号217に含まれるフレーム同期用ビットを検出してフレーム同期を行い、また受信した電気データ信号217がフレーム同期状態にあるか否かの判断を行う。制御回路405は、このフレーム同期状態であるか否かを示した情報404を入力し、フレーム同期状態であれば分周比指示情報406として分周比（出力クロックの周波数）をそのまま保持することを指示する情報をパルス生成回路214に供給する。また、フレーム同期が外れていれば、分周比指示情報406として分周比を順次切り替えるように指示する情報をパルス生成回路214に供給することで、パルス生成回路214から出力されるクロック信号215の周波数が切り替えられる。すなわち、受信した光信号202のビットレートと、光再生中継器の内部で再生したクロック信号の周波数が一致した場合にフレーム同期状態となり、正常なクロック再生が行われることになる。

#### 【0053】第4の実施例

【0054】図10は、本発明の第4の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第4の実施例の光再生中継器では、可変利得アンプ208から出力される電気データ信号209をパルスカウンタ213に入力すると共に微分回路501に入力するようになっている。微分回路501の出力側には、整流回路502、タイミング抽出フィルタ503、リミッタアンプ504およびパルス生成回路505がこの順に配置されており、パルス生成回路505にはビットレート検出器232から識別結果233が入力されて、その分周比が設定される。パルス生成回路505の出力するクロック信号215は識別回路211に供給されるようになっている。

【0055】この第4の実施例の光再生中継器の動作を次に説明する。この実施例では、図1に示した第1の実施例におけるタイミング再生手段が非線形抽出によるものとなっている。すなわち、図10に示した第4の実施例では、可変利得アンプ208から出力される電気データ信号209を微分回路501および整流回路502に入力することで、タイミング輝線スペクトラム成分を生成する。タイミング抽出フィルタ503は、この輝線スペクトラム成分を入力して、光再生中継器が受信しうる最大のビットレートと同じ周波数成分を抽出する。

【0056】パルス生成回路505は、図2あるいは図3に示したパルス生成回路214あるいは214と同様の構成をとることができる。パルス生成回路505は、タイミング抽出フィルタ503が抽出する周波数の

自然数分の1の周波数からなるクロック信号215を、ビットレート検出器232から供給される識別結果233に応じて選択的に出力するようになっている。

#### 【0057】第5の実施例

【0058】図11は、本発明の第5の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第5の実施例の光再生中継器では、第4の実施例で図10に示した微分回路501、整流回路502、タイミング抽出フィルタ503、リミッタアンプ504およびパルス生成回路505からなる回路部分を可変利得アンプ208の出力側と識別回路211のクロック端子Cとの間に配置している。また、第2の実施例で図8に示したD-フリップフロップ回路301と1ビット長検出回路303からなる回路部分を可変利得アンプ208の出力側とパルス生成回路505の検出出力304の入力側に配置している。

【0059】この第5の実施例では、図1に示した第1の実施例におけるビットレートの検出手段が、受信した光信号の1ビット長を検出するようになっている。また、タイミング再生手段が非線形抽出によるものである。

【0060】図11で、D-フリップフロップ回路301は、可変利得アンプ208からのデータ信号を入力し、本実施例の光再生中継器が受信しうる最大のビットレートと同一の周波数であるリミッタアンプの出力クロックでラッチする。1ビット長検出回路303では、D-フリップフロップ回路301からのラッチ出力302によって電気データ信号の同符号連続数を検出し、入力される電気データ信号のビットレートに対して十分長い時間内で、最小の同符号連続数を受信したデータ信号の1ビット長であると判断する。ここで十分長い時間内とは、例えば10Gb/sに対して1秒間のような時間という。

【0061】一例としては、電圧制御発振器224の発振周波数が10GHzで、受信するビットレートが10Gb/s、2.4Gb/sおよび600Mb/sであるとする。この場合には、受信するビットレートが10Gb/sで最小同符号連続数が“1”、受信するビットレートが2.4Gb/sの場合には最小同符号連続数が“4”、受信するビットレートが600Mb/sの場合には最小同符号連続数が“16”となり、この結果を基にしてビットレートの検出が行われる。

【0062】また、微分回路501および整流回路502では、可変利得アンプ208からの電気データ信号209を入力して、タイミング輝線スペクトラム成分を生成している。タイミング抽出フィルタ503は、このタイミング輝線スペクトラム成分を入力して、光再生中継器が受信しうる最大のビットレートと同一の周波数成分



を抽出する。パルス生成回路505は、図2あるいは図3に示したパルス生成回路214<sub>1</sub>あるいは214<sub>2</sub>と同様の構成をとることができる。パルス生成回路505は、タイミング抽出フィルタ503が抽出する周波数の自然数分の1の周波数からなるクロック信号215を、ビットレート検出器232から供給される識別結果233に応じて選択的に出力するようになっている。

#### 【0063】第6の実施例

【0064】図12は、本発明の第6の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第6の実施例の光再生中継器では、第4の実施例で図10に示した微分回路501、整流回路502、タイミング抽出フィルタ503、リミッタアンプ504およびパルス生成回路505からなる回路部分を可変利得アンプ208の出力側と識別回路211のクロック端子Cとの間に配置している。また、第3の実施例で図9に示したように識別回路211の出力端子Qと電気・光変換回路218の間にフレーム同期回路401を配置しており、フレーム同期用ビットを検出してフレーム同期をとるようにしている。フレーム同期回路401から出力されるフレーム同期状態であるか否かを示した情報404は制御回路405に入力され、分周比を保持するか他に変更するかを示す分周比指示情報406がパルス生成回路505に入力されるようになっている。

【0065】本実施例の光再生中継器は、図1に示した第1の実施例におけるビットレートの検出手段が検出のためにフレーム同期回路401を使用するものであり、タイミング再生手段が非線形抽出によるものとなっている。

【0066】図12に示す光再生中継器に入力される光信号202中には、送信側で予めフレーム同期用ビットが挿入されている。フレーム同期回路401は、識別回路211から出力される電気データ信号217からフレーム同期用ビットを検出して、フレーム同期を行う。また、受信した電気データ信号217がフレーム同期状態であるかどうかの判別を行う。制御回路405はこのフレーム同期状態であるか否かを示した情報404を入力して、フレーム同期状態であればパルス生成回路505に対してフレーム同期状態であれば分周比指示情報406として分周比（出力クロックの周波数）をそのまま保持することを指示する情報をパルス生成回路505に供給する。また、フレーム同期が外れていれば、分周比指示情報406として分周比を順次切り替えるように指示する情報をパルス生成回路214に供給することで、パルス生成回路505から出力されるクロック信号215の周波数が切り替えられる。すなわち、受信した光信号202のビットレートと、光再生中継器の内部で再生したクロック信号の周波数が一致した場合にフレーム同期

状態となり、正常なクロック再生が行われることになる。

【0067】また、微分回路501および整流回路502では、可変利得アンプ208からの電気データ信号209を入力して、タイミング輝線スペクトラム成分を生成している。タイミング抽出フィルタ503は、このタイミング輝線スペクトラム成分を入力して、光再生中継器が受信しうる最大のビットレートと同一の周波数成分を抽出する。パルス生成回路505は、図2あるいは図3に示したパルス生成回路214<sub>1</sub>あるいは214<sub>2</sub>と同様の構成をとることができる。パルス生成回路505は、タイミング抽出フィルタ503が抽出する周波数の自然数分の1の周波数からなるクロック信号215を、ビットレート検出器232から供給される識別結果233に応じて選択的に出力するようになっている。

#### 【0068】第7の実施例

【0069】図13は、本発明の第7の実施例におけるビットレート選択型光再生中継器の構成を表わしたものである。この図で第1の実施例の図1と同一の部分には同一の符号を付しており、これらの説明を適宜省略する。この第7の実施例の光再生中継器では、可変利得アンプ208から出力される電気データ信号209を増幅する増幅器601を備えている。増幅器601で増幅された後の電気データ信号602は、第1～第nの微分回路(DIFF)603<sub>1</sub>～603<sub>n</sub>に分配されて入力されるようになっている。第1の微分回路603<sub>1</sub>の出力側には整流回路(RECT)604<sub>1</sub>、タイミング抽出フィルタ(BPF)605<sub>1</sub>、リミッタアンプ606<sub>1</sub>からなる直列回路が接続されており、その出力側にはピーク検出回路(PEAK)607<sub>1</sub>とn:1選択回路(n:1SEL)608が接続されている。ピーク検出回路607<sub>1</sub>の検出したピーク値情報609<sub>1</sub>は、選択制御回路(SELCONT)611に入力される。

【0070】第2～第nの微分回路603<sub>2</sub>～603<sub>n</sub>の出力側にも、それぞれ第1の微分回路603<sub>1</sub>の出力側と同様に整流回路604<sub>2</sub>～604<sub>n</sub>、タイミング抽出フィルタ605<sub>2</sub>～605<sub>n</sub>、リミッタアンプ606<sub>2</sub>～606<sub>n</sub>からなる直列回路が接続されており、それらの出力側にはピーク検出回路607<sub>2</sub>～607<sub>n</sub>とこれらに共通のn:1選択回路608が接続されている。それぞれのピーク検出回路607<sub>2</sub>～607<sub>n</sub>の検出したピーク値情報609<sub>2</sub>～609<sub>n</sub>は、選択制御回路611に入力される。選択制御回路611は、すべてのピーク値情報609<sub>1</sub>～609<sub>n</sub>の中でピーク値が最大となる周波数のクロック信号を検出し、この周波数のクロック信号を選択させるための選択指示信号612をn:1選択回路608に供給するようになっている。n:1選択回路608からは該当するクロック信号215が識別回路211のクロック入力端子Cに送出されることになる。

【0071】この実施例の光再生中継器は、図1に示した第1の実施例におけるタイミング再生手段が非線形抽出によるものであり、ビットレート検出手段が再生したタイミング信号のピーク値検出によるものとなっている。

【0072】図13において、第1の微分回路603<sub>1</sub>とその出力側の整流回路604<sub>1</sub>は、可変利得アンプ208から出力される電気データ信号209を入力して、周波数 $f_1$ のタイミング輝線スペクトラム成分を生成する。タイミング抽出フィルタ605<sub>1</sub>は、このタイミング輝線スペクトラム成分を入力して、周波数成分 $f_1$ を抽出する。リミッタアンプ606<sub>1</sub>は、こうして得られた周波数成分 $f_1$ を増幅して、 $n:1$ 選択回路608とピーク検出回路607<sub>1</sub>に送出する。第2～第 $n$ の微分回路603<sub>2</sub>～603<sub>n</sub>に入力された電気データ信号209についても、それぞれ同様の処理が行われる。このようにして、周波数成分 $f_1$ だけでなく、周波数成分 $f_2 \sim f_n$ についてのクロック信号の再生が行われる。 $n:1$ 選択回路608は、各リミッタアンプ606<sub>1</sub>～606<sub>n</sub>が出力するこれら周波数成分 $f_1 \sim f_n$ のクロック信号を入力して、次に説明するようにこの中から1種類のクロック信号215を選択して識別回路211に供給する。

【0073】一方、ピーク検出回路607<sub>1</sub>～607<sub>n</sub>は、これら周波数成分 $f_1 \sim f_n$ のクロック信号を入力して、それぞれのピーク値を検出する。これらのピーク値情報609<sub>1</sub>～609<sub>n</sub>は、選択制御回路611に入力されて、ピーク値が最大になる周波数のクロック信号が検出される。選択制御回路611は、これに基づいてそのクロック信号を選択させるための選択指示信号612を $n:1$ 選択回路608に供給し、前記したように該当するクロック信号215が識別回路211に供給されることになる。本実施例では、このようにしてタイミング再生を行って、光再生中継を行うようにしている。

【0074】請求項1～請求項18記載の発明では、デジタル信号のビットレートを検出し、あるいはこの検出結果に応じて光り再生中継器内で再生するクロック信号の周波数の切り替えを行うようにしているので、データ信号とは別にクロック信号を送受信するための光送受信回路を設ける必要がない。このため、より安価なビットレート無依存型光再生中継器等の機器を実現することができる。また、データ信号とは別にクロック信号を送受信するための波長を設ける必要もないため、波長分割多重(WDM)伝送系への拡張に対しても、光波長帯域を有効に使用することができ、伝送効率を向上させることができる。更に請求項16記載の発明によれば、受信した光信号からクロック信号を再生して中継しているため、各中継器においてS/N(信号対雑音比)や波形の劣化を回復させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図2】第1の実施例におけるパルス生成回路の第1の具体例を示すブロック図である。

【図3】第1の実施例におけるパルス生成回路の第2の具体例を示すブロック図である。

【図4】第1の実施例で使用される位相比較器の動作を説明するための各種波形図である。

【図5】第1の実施例で位相比較器に入力された2つの入力波形の位相差 $\phi$ に対する位相検出特性を示す特性図である。

【図6】第1の実施例でパルスカウンタとビットレート検出器を表わしたブロック図である。

【図7】第1の実施例で3種類のビットレートとパルス数計算値の関係を示した説明図である。

【図8】本発明の第2の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図9】本発明の第3の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図10】本発明の第4の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図11】本発明の第5の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図12】本発明の第6の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図13】本発明の第7の実施例におけるビットレート選択型光再生中継器の回路構成の概要を示すブロック図である。

【図14】従来の光再生中継器の第1の例を示すブロック図である。

【図15】従来の光再生中継器の第2の例を示すブロック図である。

【符号の説明】

201…光信号入力端子  
202…光信号  
204…フォト・ダイオード  
206…プリアンプ  
208…可変利得アンプ  
211…識別回路  
212…位相比較器  
213…パルスカウンタ  
214、505…パルス生成回路  
218…電気・光変換回路  
222…出力端子

224…電圧制御発振器  
226…低域通過フィルタ  
228…演算増幅器  
232…ビットレート検出器  
301…D-フリップフロップ回路  
303…1ビット長検出回路  
401…フレーム同期回路  
405…制御回路  
501…微分回路

502…整流回路  
503…タイミング抽出フィルタ  
504…リミッタアンプ  
603<sub>1</sub>～603<sub>n</sub>…第1～第nの微分回路  
604<sub>1</sub>～604<sub>n</sub>…整流回路  
605<sub>1</sub>～605<sub>n</sub>…タイミング抽出フィルタ  
607<sub>1</sub>～607<sub>n</sub>…ピーク検出回路  
608…n:1選択回路  
611…選択制御回路